

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-140752

(P2004-140752A)

(43) 公開日 平成16年5月13日(2004.5.13)

(51) Int.Cl.⁷

H03M 9/00

F 1

H03M 9/00

C

テーマコード(参考)

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2002-305866 (P2002-305866)
(22) 出願日 平成14年10月21日(2002.10.21)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町 1 丁目 1 番地
(74) 代理人 100100022
弁理士 伊藤 洋二
(74) 代理人 100108198
弁理士 三浦 高広
(74) 代理人 100111578
弁理士 水野 史博
(72) 発明者 宮毛 勝之
愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内

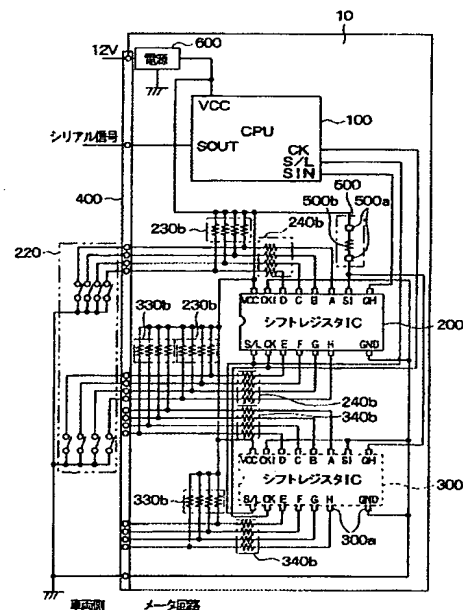
(54) 【発明の名称】 パラレルシリアル回路

(57) 【要約】

【課題】シフトレジスタICにより構成されて、スイッチ信号をパラレルシリアル変換するパラレルシリアル回路において、スイッチ信号が入力されないシフトレジスタICを未実装とする。

【解決手段】シフトレジスタIC200とカスケード接続される前段のシフトレジスタIC300が実装されない場合に、シフトレジスタIC200のシリアル入力端子S Iと電源600間を接続手段500により接続して、シフトレジスタIC200のシリアル入力端子S Iの電位をハイレベルに固定した。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力されるパラレルのスイッチ信号をシリアル信号に変換するパラレルシリアル I C を回路基板に実装してなるパラレルシリアル回路において、

前記パラレルシリアル I C は、そのシリアル入力端子が前段のパラレルシリアル I C の出力端子と接続されることによって前記前段のパラレルシリアル I C とカスケード接続されるものであり、

前記前段のパラレルシリアル I C が前記回路基板に実装されない場合に、前記パラレルシリアル I C のシリアル入力端子の電位を、スイッチ信号が入力されないときの前記前段のシフトレジスタの出力端子の電位と同レベルの電位に固定するための電位固定手段が前記回路基板に設けられていることを特徴とするパラレルシリアル回路。 10

【請求項 2】

前記電位固定手段は、前記同レベルの電位に接続された第 1 のランドと、前記パラレルシリアル I C のシリアル入力端子に接続された第 2 のランドとから構成され、前記電位の固定を行うときに前記両ランド間が接続されることを特徴とする請求項 1 に記載のパラレルシリアル回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、パラレルシリアル I C を回路基板に実装してなるパラレルシリアル回路に関する。 20

【0002】**【従来の技術】**

従来、車両において、複数の電子制御装置（以下、E C U という。）が通信ラインを介して接続され、相互に通信しながら各種制御を行っている。この種の通信回路としては、シリアル信号を多数のパラレル信号に変換するものがある（例えば、特許文献 1 参照）。

【0003】

また、車両のメータの制御を行うメータ E C U においては、例えば、ブレーキスイッチ、オイル量、キー信号、オートマチック車のシフトレバー等の状態を示す複数のスイッチから入力される電圧レベル（スイッチ信号）をシリアル信号に変換し、他のサスペンションコントローラやドアコントロールシステム等の各 E C U へ送信するものがある。 30

【0004】

そして、上記複数のスイッチ信号をシリアル信号に変換する回路素子として、標準論理 I C の 8 ビットシリアルシフトレジスタ I C 等のパラレルシリアル I C が広く用いられている。また、8 ビット以上のパラレル信号に対しては、複数の 8 ビットシリアルシフトレジスタ I C をカスケード接続（従続）することにより、8 ビット以上のパラレルシリアル回路を構成することができる。

【0005】**【特許文献 1】**

特開平 4 - 3 7 0 8 8 9 号公報

40

【0006】**【発明が解決しようとする課題】**

上記したパラレルシリアル回路について、本発明者らが検討を行った回路構成を図 3 に示す。図に示すように、パラレルシリアル回路は、シフトレジスタ I C 2 0 0、シフトレジスタ I C 3 0 0、C P U 1 0 0 および抵抗 2 3 0 b、3 3 0 b、2 4 0 b、3 4 0 b により構成されている。なお、電源 6 0 0 は、バッテリーから供給される直流電圧 1 2 V から回路素子の電源電圧 V C C（例えば、5 V）を生成している。

【0007】

シフトレジスタ I C 3 0 0 の出力端子 Q H は、シフトレジスタ I C 2 0 0 のシリアル入力端子 S I に接続され、シフトレジスタ I C 2 0 0 の出力端子 Q H は、C P U 1 0 0 の入力 50

端子S I Nに接続されている。このように、シフトレジスタ I C 2 0 0 の前段にシフトレジスタ I C 3 0 0 がカスケード接続されている。

【0008】

シフトレジスタ I C 2 0 0、3 0 0 の各パラレル入力端子 A ~ H は、コネクタ 4 0 0 から図示しないケーブルを介してスイッチ群 2 2 0、3 2 0 の各スイッチにそれぞれ接続され、スイッチ群 2 2 0、3 2 0 の各スイッチの状態に応じたスイッチ信号が入力される。

【0009】

シフトレジスタ I C 2 0 0 のパラレル入力端子 A ~ H は、プルアップ抵抗 2 3 0 b を介して電源 6 0 0 に接続されており、スイッチ群 2 2 0 のいずれかのスイッチがオンすると、それに接続されたシフトレジスタ I C 2 0 0 のパラレル入力端子のレベルがローレベルとなる。同様に、シフトレジスタ I C 3 0 0 パラレル入力端子 A ~ H は、プルアップ抵抗 3 3 0 b を介して電源 6 0 0 に接続されており、スイッチ群 3 2 0 のいずれかのスイッチがオンすると、それに接続されたシフトレジスタ I C 3 0 0 のパラレル入力端子のレベルがローレベルとなる。

【0010】

また、シフトレジスタ I C 2 0 0、シフトレジスタ I C 3 0 0 の各クロック端子 C K および各シフトロード端子 S / L には、C P U 1 0 0 からそれぞれクロック信号およびシフトロード信号が入力される。

【0011】

上記したパラレルシリアル回路のタイミングチャートを図 4 に示す。ここで、Q H は、シフトレジスタ I C 2 0 0 の出力端子 Q H の波形である。

【0012】

C P U 1 0 0 のシフトロード信号がローレベルになると、シフトレジスタ I C 2 0 0、3 0 0 は、それぞれパラレル入力端子 A ~ H に接続されたスイッチ群 2 2 0、3 2 0 の各スイッチの状態に応じたスイッチ信号を内部に保持する。

【0013】

そして、C P U 1 0 0 のシフトロード信号がハイレベルになると、シフトレジスタ I C 2 0 0、3 0 0 の内部に保持されたスイッチ信号はシリアル変換され、クロック信号に同期して各出力端子 Q H から出力される。

【0014】

そして、シフトレジスタ I C 2 0 0 の出力端子 Q H から出力されるシリアル信号は、C P U 1 0 0 の入力端子 S I N に入力され、シフトレジスタ I C 3 0 0 の出力端子 Q H から出力されるシリアル信号は、シフトレジスタ I C 2 0 0 のシリアル入力端子 S I に入力される。

【0015】

そして、図 4 (a) に示すように、シフトレジスタ I C 2 0 0 の出力端子 Q H には、シフトレジスタ I C 2 0 0 に入力される 8 ビットのスイッチ信号に続き、シフトレジスタ I C 3 0 0 に入力される 8 ビットのスイッチ信号がシリアル信号として出力される。

【0016】

なお、シフトレジスタ I C 2 0 0 の出力端子 Q H から出力されるシリアル信号は、C P U 1 0 0 により L I N 通信プロトコルのメッセージフレームに変換され、C P U 1 0 0 のシリアル出力端子 S O U T から出力される。

【0017】

上記したように、2 つの 8 ビットシフトレジスタ I C をカスケード接続することで、1 6 ビットのパラレルシリアル回路を構成することができる。また、3 つ、4 つの 8 ビットシフトレジスタ I C をカスケード接続することで、2 4 ビット、3 2 ビットといった多数ビットのパラレルシリアル回路を構成することができる。

【0018】

ところで、車両において、オートマチックトランスミッション車両では P、R、N、D、2、1 等のスイッチ情報がメータ E C U に入力されるが、マニュアルトランスミッション

10

20

30

40

50

車両ではこれらの情報は入力されない。後者の場合、図3に示すスイッチ群320が設けられない。このように、車両のグレードにより装備が異なるため、パラレルシリアル回路に入力されるスイッチ信号の数が異なる場合がある。

【0019】

しかし、上記したパラレルシリアル回路は、車両のグレードと関係なく、同一のプリント配線板（回路基板）10を使用して共通化を図っているため、車両のグレードにより入力されるスイッチ信号の数が少なく、シフトレジスタICをカスケード接続する必要のない場合においても、後段に接続されるシフトレジスタIC200のシリアル入力端子SIの論理レベルを確保するために、スイッチ信号が入力されないシフトレジスタIC300が実装される。これは、前段のシフトレジスタIC300を未実装とすると、後段のシフトレジスタIC200のシリアル入力端子SIが未接続となり、静電気や周囲の雑音等により後段のシフトレジスタIC200のシリアル入力端子SIの論理レベルが不安定となり、その結果、IC200からCPU100のシリアルイン端子SINへ誤ったシリアル信号を出力してしまう可能性があるためである。

【0020】

本発明は、スイッチの数が少なくカスケード接続する必要のないパラレルシリアルICがある場合に、それを未実装として構成することができるパラレルシリアル回路を提供することを目的とする。

【0021】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明では、前段のパラレルシリアルICが回路基板に実装されない場合に、後段のパラレルシリアルICのシリアル入力端子の電位を、スイッチ信号が入力されないときの前段のシフトレジスタの出力端子の電位と同レベルの電位に固定するための電位固定手段を回路基板に設けたことを特徴としている。

【0022】

このような電位固定手段を設けることによって、前段のパラレルシリアルICが未実装のときでも、後段のパラレルシリアルICのシリアル入力端子の論理レベルを安定させることができ、その場合に、後段のパラレルシリアルICのシリアル入力端子の電位を、スイッチ信号が入力されないときの前段のパラレルシリアルICの出力端子の電位と同レベルの電位に固定しているので、論理レベルを変更することなく前段のパラレルシリアルICにスイッチ信号が入力されない場合と対応した構成とすることができる。

【0023】

なお、上記した電位固定手段としては、請求項2に記載の発明のように、前記同レベルの電位に接続された第1のランドと、前記パラレルシリアルICのシリアル入力端子に接続された第2のランドとから構成することができ、両ランド間が接続されることによって前記電位の固定を行うことができる。

【0024】

【発明の実施の形態】

（第1実施形態）

本発明の一実施形態に係るパラレルシリアル回路の構成を図1、図2に示す。図1は、例えばマニュアルトランスミッション車両で図3に示すスイッチ群320が設けられない場合の構成を示し、図2は、例えばオートマチックトランスミッション車両でP、R、N、D、2、1等のスイッチ情報を入力するためにスイッチ群320が設けられている場合の構成を示す。

【0025】

この実施形態では、図3に示すパラレルシリアル回路と比較して、シフトレジスタIC200のシリアル入力端子SIと電源600間に、0オームのチップ抵抗500bを実装するための抵抗ランド500a（電源600に接続された第1のランドと、シフトレジスタIC200のシリアル入力端子に接続された第2のランドとから構成されている）を備え、スイッチ群320が設けられる場合と、スイッチ群320が設けられない場合のいずれ

においても対応できる構成となっている。

【0026】

すなわち、スイッチ群320が設けられない場合には、図1に示すように、シフトレジスタIC300を未実装とし、抵抗ランド500aにチップ抵抗500bをはんだ接続して実装する。また、スイッチ群320が設けられる場合には、図2に示すように、シフトレジスタIC300を実装し、抵抗ランド500aにチップ抵抗500bをはんだ接続しない構成とする。

【0027】

図1に示す構成の場合、チップ抵抗500bの実装により、シフトレジスタIC200のシリアル入力端子SIは、電源600に接続され、ハイレベルに固定される。この場合、
図4に示すように、CPU100のシフトロード信号がハイレベルになると、シフトレジスタIC200の内部に保持されたスイッチ信号がシリアル変換され、クロック信号に同期して出力端子QHから出力されるが、この出力信号は、図4(b)に示すように、シフトレジスタIC200に入力される8ビットのスイッチ信号に続き、ハイレベルに固定された信号となる。

【0028】

このように、後段のシフトレジスタIC200のシリアル入力端子SIと電源600間を接続手段500で接続することによって、後段のシフトレジスタIC200のシリアル入力端子SIの論理レベルを安定させることができ、またシフトレジスタIC200のシリアル入力端子SIがハイレベルに固定されているので、論理レベルを変更することなく前段のシフトレジスタIC300にスイッチ信号が入力されない（すなわちスイッチがオフしている）場合と対応した構成とすることができる。

【0029】

また、図2に示す構成の場合は、シフトレジスタIC300が実装され、抵抗ランド500aにチップ抵抗500bがはんだ接続されていない構成となっており、この場合の構成および作動は、図3に示すものと同様となる。

【0030】

なお、上記実施形態において、2つのシフトレジスタICがカスケード接続されたパラレルシリアル回路装置について説明したが、3つ以上のシフトレジスタICがカスケード接続された場合においても同様に適用することができる。

【0031】

また、図1に示す構成の場合、シフトレジスタIC300のパラレル入力端子A～Hに接続されたプルアップ抵抗330bおよび保護用の抵抗340bについても、未実装とするように構成してもよい。

【0032】

また、上記実施形態では、シフトレジスタIC300においてパラレル入力端子A～Hにスイッチ信号が入力されない場合に出力端子QHから出力されるシリアル信号がハイレベルとなるため、シフトレジスタIC200のシリアル入力端子SIと電源600間を接続してシフトレジスタIC200のシリアル入力端子SIのレベルをハイレベルに固定する例について説明したが、スイッチ信号が入力されないときにシフトレジスタIC300のパラレル入力端子A～Hのレベルがローレベルとなる場合には、シフトレジスタIC300のシリアル入力端子SIとアース（接地）間を接続する抵抗ランドを備え、この抵抗ランドにチップ抵抗を実装し、シフトレジスタIC300のシリアル入力端子SIとアース間を接続してローレベルに固定すればよい。

【0033】

また、上記実施形態では、チップ抵抗500bの実装、未実装により接続を切り替える例について示したが、そのチップ抵抗500bとしては0オームのものに限らず数百kΩ以下の抵抗値を有する抵抗であってもよく、要するにシフトレジスタIC200のシリアル入力端子SIにハイレベルまたはローレベルの電圧が入力されるものであればよい。また、チップ抵抗を用いるものに限らず、例えば、導電性の線材（いわゆるジャンパー線）を

用いてもよい。なお、電位固定手段としては、抵抗等により接続される抵抗ランドを用いるものに限らず、後段のシフトレジスタIC 200のシリアル入力端子の電位を固定するものであれば他の構成のものであってもよく、例えば半導体等のスイッチ手段により電源またはアース間を接続するような構成のものであってもよい。

【0034】

また、上記実施形態におけるシフトレジスタIC 200a、300aのICパッケージの種類としては、挿入形のDIP (Dual Inline Package)、表面実装形のSOP (Small Outline Package) 等を用いることができる。

【0035】

また、抵抗ランド500aの形状としては、抵抗500bが面実装部品の場合には例えば 10
 方形のランド、また抵抗500bがリード部品の場合には電極を挿入する円形のランド等、実装される抵抗の形状に応じた形状のものとすることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係るパラレルシリアル回路の構成を示す図である。

【図2】 本発明の一実施形態に係るパラレルシリアル回路の構成を示す図である。

【図3】 本発明者らが検討を行ったパラレルシリアル回路の構成を示す図である。

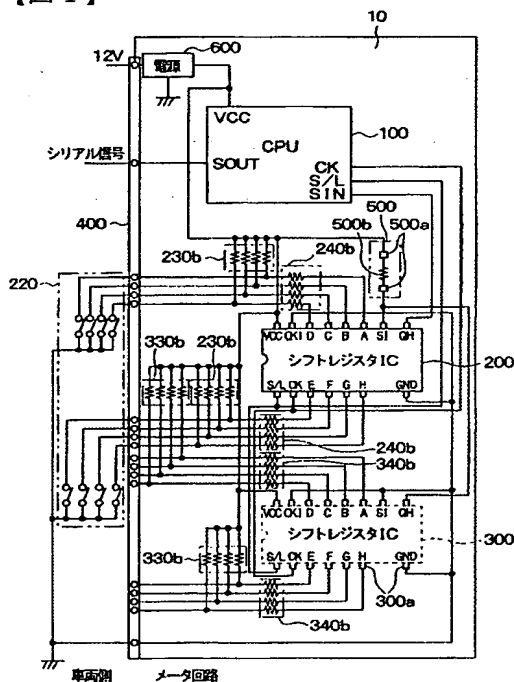
【図4】 パラレルシリアル回路装置のタイミングチャートである。

【符号の説明】

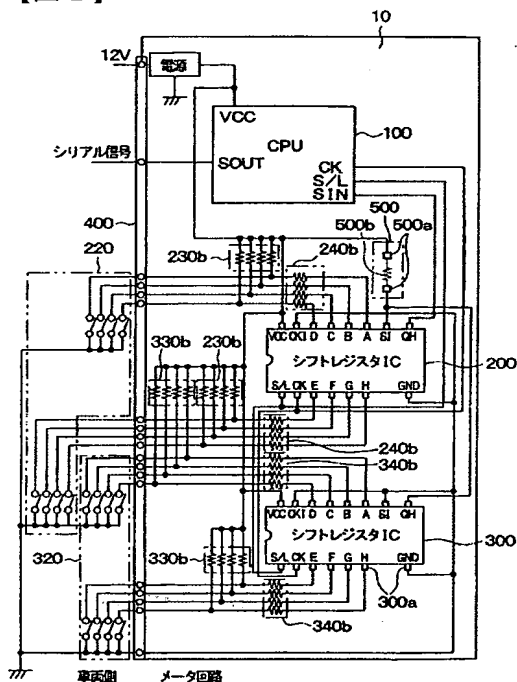
100…CPU、200、300…シフトレジスタIC、
 200a、300a…ICパッド、220、320…スイッチ群、
 400…コネクタ、230b、330b、240、340…抵抗、
 500a…チップ抵抗、500b…抵抗ランド。

20

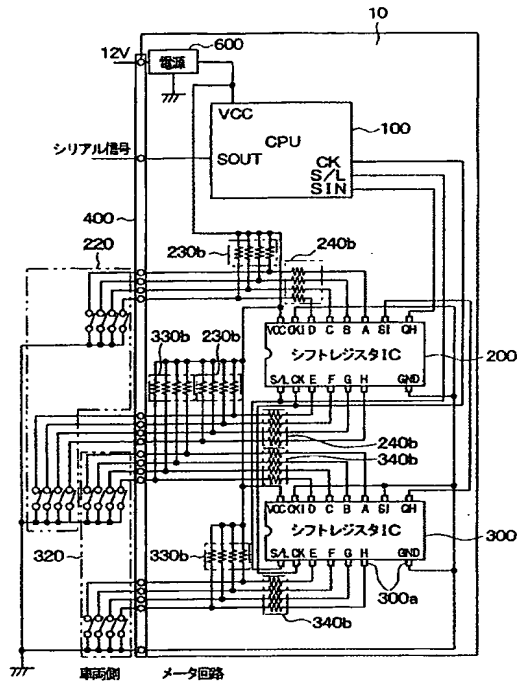
【図1】



【図2】



【図 3】



【図 4】

